

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-008432

(43)Date of publication of application : 12.01.1996

(51)Int.Cl. H01L 29/786

(21)Application number : 06-141812

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 23.06.1994

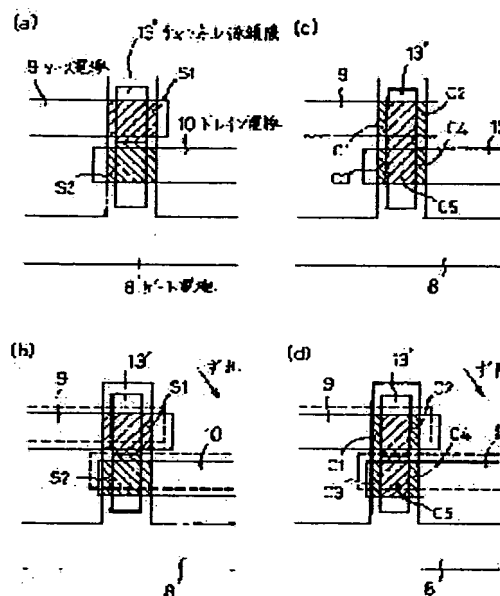
(72)Inventor : MINAMINO YUTAKA  
YAMAMOTO HIDETSUGU  
WAKIMOTO TATSUYA  
KIMURA MUTSUMI  
TAKUBO YONEJI

## (54) THIN FILM TRANSISTOR

### (57)Abstract:

**PURPOSE:** To provide a thin film transistor which can improve display quality of a liquid crystal panel, by eliminating irregularity of parasitic capacitance of a thin film transistor.

**CONSTITUTION:** The channel protecting film 13' of a thin film transistor is formed only on a gate electrode 8. A source electrode 9 and a drain electrode 10 intersect only the two facing sides of a region formed by the channel protecting film 13', and do not overlap with the other sides. The source electrodes 9 and the drain electrode 10 crosswise intersect the gate electrode 8. By this constitution, the value of a parasitic capacitance generated in the part where the thin film transistor is formed can be made constant.



## LEGAL STATUS

[Date of request for examination] 16.01.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3030751

[Date of registration] 10.02.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-8432

(43) 公開日 平成8年(1996)1月12日

(51) Int. Cl.<sup>5</sup>  
H 0 1 L 29/786

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/ 78

3 1 1 S

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平6-141812

(22) 出願日 平成6年(1994)6月23日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 南野 裕

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 山元 英嗣

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 脇本 竜也

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

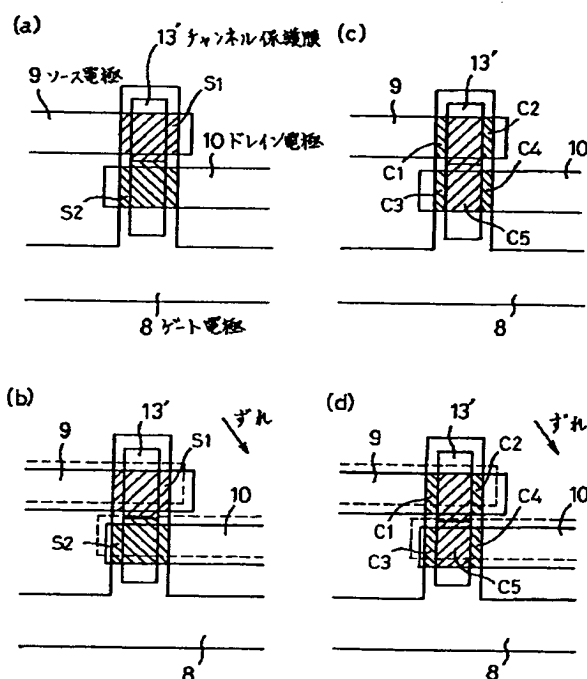
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】

【目的】 薄膜トランジスタの寄生容量のばらつきをなくし、液晶パネルの表示品質を向上させる薄膜トランジスタを提供する。

【構成】 薄膜トランジスタのチャンネル保護膜13'はゲート電極8上のみに形成され、ソース電極9およびドレイン電極10がチャンネル保護膜13'の形成している領域の対向する2辺のみとクロスオーバーし、他の辺上には重なっておらず、かつソース電極9およびドレイン電極10ともゲート電極8と十字型にクロスオーバーしている。この構成により、薄膜トランジスタを形成する部分に発生する寄生容量の値は、マスクのアラインメント精度によらず一定とすることができる。



## 【特許請求の範囲】

【請求項 1】 薄膜トランジスタのチャンネル領域下部に走査電極を形成するようにパターンニングされたゲート電極と、液晶を駆動するため透明導電膜より成る画素電極に画像信号を伝達するソース電極(あるいはドレイン電極)と、前記画素電極と接続されたドレイン電極(あるいはソース電極)とを有する薄膜トランジスタにおいて、前記薄膜トランジスタのチャンネル保護膜は前記ゲート電極上にも形成され、前記ソース電極およびドレイン電極が前記チャンネル保護膜を形成している領域の対向する 2 辺のみとクロスオーバーして他の辺上には重なっておらず、かつ前記ソース電極およびドレイン電極は共に前記ゲート電極とも十字型にクロスオーバーとなる構造を有することを特徴とする薄膜トランジスタ。

【請求項 2】 薄膜トランジスタのチャンネル領域下部に走査電極を形成するようにパターンニングされたゲート電極と、液晶を駆動するため透明導電膜より成る画素電極に画像信号を伝達するソース電極(あるいはドレイン電極)と、前記画素電極と接続されたドレイン電極(あるいはソース電極)とを有し、前記チャンネル領域を形成する半導体層が絶縁性基板の裏面からの露光により前記ゲート電極上に自己整合的に形成される薄膜トランジスタにおいて、前記ソース電極およびドレイン電極が共に前記チャンネル領域上で十字型にクロスオーバーとなる構造を有することを特徴とする薄膜トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、アクティブマトリックス液晶ディスプレイに用いられる薄膜トランジスタ(Thin Film Transistor)の構成に関するものである。

## 【0002】

【従来の技術】 薄膜トランジスタ(以下、TFTという)を用いたアクティブマトリックス型表示基板を用いたディスプレイは、単純マトリックス型表示基板を用いたディスプレイ装置に比べて高い画質が得られるため、盛ん \*

13' はチャンネル保護膜、14は $n^+a-Si$ ( $n$ 型アモルファスSi)のオーミック層、15は画素電極4とコンタクトを取るための穴、16はデータ線2、ソース電極9、ドレイン電極10となるAl層である。

【0008】 (図5(a)) ガラス基板5にスパッタ法でCr層8'を1000Å堆積する。

【0009】 (図5(b)) Cr層8'を走査線1、ゲート電極8のパターンを残すようにエッチングを施す(図6(a))。

【0010】 (図5(c)) ガラス基板5上にDCスパッタ法でITO膜層4'を1000Å堆積する。

【0011】 (図5(d)) ITO膜層4'を画素電極4のパターンを残すようにエッチングを施す(図6(b))。 ※ (図5(e)) オーミック層14として $n^+a-Si$ を500Å堆積する。

【0015】 (図5(h)) 絶縁層11に穴15をあける(図6

\*に研究されている。

【0003】 図4は従来のアクティブマトリックス液晶ディスプレイの液晶パネル部を模式的に示した透視図である。図4において、1は走査線、2はデータ線、3はTFT、4は液晶駆動用の画素電極、5はガラス基板、6は透明導電膜からなる対向電極、7は対向基板、8は走査線1と接続されたゲート電極、9はデータ線2と接続されたソース電極(あるいはドレイン電極であるが、ここでは説明のためソース電極とする)、10は画素電極4に電氣的に接続されたドレイン電極(ソース電極9に対する)である。

【0004】 通常透過型の液晶ディスプレイ装置においては、裏面光源からの光を透過させる必要があるため、画素電極4、対向電極6は透明導電膜でなければならない。また、走査線1、データ線2、TFT3、画素電極4の素子は、これらを形成する側のガラス基板5に薄膜形成、選択エッチング等を繰り返すことにより形成される。

【0005】 液晶パネルにカラー表示を行わせる場合は、対向基板7にガラス基板5上の各々の画素に対応したカラーフィルターを形成することにより表示させることができる。このような液晶パネルにおいて、画像信号に応じてTFT3を駆動し、液晶層に印加する電圧を変化させると、それに応じて液晶パネルの透過率が変化し画像の表示を行うことができる。

【0006】 次に液晶パネルのチャンネル保護型TFTアレイの作製プロセスを図を用いて説明する。図5は作製プロセスの断面図、図6はその平面図を示し、図5において、4'は透明電極となる透明導電膜のITO(Indium Tin Oxide)膜層、8'は走査線1、ゲート電極8となるCr層、11はSiNx(Si窒化膜)の絶縁層、12はa-Si(アモルファスSi)の半導体層、13はSiNxのチャンネル保護層、

## 【0007】

## 【外1】

※ 【0012】 (図5(e)) 次にプラズマCVD法で絶縁層11としてSiNxを4000Å、半導体層12としてa-Siを1000Å、チャンネル保護層13としてSiNxを1000Å堆積する。

【0013】 (図5(f)) チャンネル保護層13を、フォトリソグラフィ工程にてエッチングを施し、チャンネル保護膜13'となるパターンを形成する(図6(c))。

## 【0014】

## 【外2】

※ 【0012】 (図5(e)) 次にプラズマCVD法で絶縁層11としてSiNxを4000Å、半導体層12としてa-Siを1000Å、チャンネル保護層13としてSiNxを1000Å堆積する。

(d))。

【0016】(図5(i))DCスパッタ法でAl層16を7000Å堆積する。

【0017】(図5(j))Al層16を選択エッチングしてソース電極9、ドレイン電極10を形成する。

【0018】

【外3】

(図5(k)) $n^+a-Si$ をエッチング除去する(図6(e))。

【0019】以上のプロセスによりTFTアレイが形成されたガラス基板5上に配向膜、液晶層を形成し封入した後、ブラックマトリクス、カラーフィルタ等が形成された対向基板7を張り合わせることで液晶パネルが完成する。

【0020】さらに近年、TFT3をより小さく作製す\*

(図7(e))プラズマCVD法で絶縁層11として $SiN_x$ を4000Å、半導体層12として $a-Si$ を1000Å、オーミック層14として $n^+a-Si$ を500Å堆積する。

【0023】(図7(f))チャンネル領域13'のパターンを形成するように、フォトリソグラフィ工程にてエッチングを施す(図8(c))。

【0024】(図7(g))絶縁層11に穴15をあける(図8(d))。

【0025】(図7(h))DCスパッタ法でAl層16を7000\*

(図7(j))チャンネル領域13'上の $n^+a-Si$ 層をエッチング除去する(図8(e))。

【0028】図9はチャンネル保護膜13'を有する逆スタガー型トランジスタの平面図を示し、S1はゲートソース間の寄生容量のGS領域、S2はゲートドレイン間の寄生容量のGD領域である。チャンネル保護膜13'を有した構造では図9(a)に示した斜線部のGS領域S1およびGD領域S2の部分で、ゲート電極8上の絶縁層11を誘電体としてゲート電極8とソース電極9およびドレイン電極10の間に寄生容量が形成される。

【0029】この寄生容量の値は、ゲート電極8のパターン、チャンネル保護膜13'のパターンおよびソース電極9、ドレイン電極10のパターンにより決定される。ここでチャンネル保護膜13'のパターンによりこの寄生容量が変化する理由は、TFT3の活性状態においてはチャンネル保護膜13'は導電体として作用するため、GS領域S1およびGD領域S2はチャンネル保護膜13'のパターンの中央により分離されるためである。

【0030】また、図10にガラス裏面からの露光によりチャンネル領域13'をゲート電極8上に自己整合的に形成した薄膜トランジスタの平面図を示す。自己整合型TFTでの寄生容量の値は、図10(a)に示すようにゲート電極8のパターンおよびソース電極9、ドレイン電極10のパターンにより決定される。

【0031】一般的にアクティブマトリクス基板作製の過程で、それぞれのレイヤー間でパターンニングのずれが生じる。例えば、図9(b)に示すように矢印方向にず

\*るために前記のチャンネル保護膜13'をなくすとともに、半導体層12のパターニングをガラス基板5裏面からの露光により、ゲート電極8の形状にパターンニングする自己整合型TFTの開発も盛んに行われている。この場合の作製プロセスは以下になる。図7は作製プロセスの断面図、図8にその平面図を示し、13'はチャンネル領域である。

【0021】(図7(a))~(図7(d))のガラス基板5にゲート電極8、画素電極4を形成するまではチャンネル保護膜13'を作製する場合と同一である。

【0022】

【外4】

※A堆積する。

【0026】(図7(i))Al層16を選択エッチングしてソース電極9、ドレイン電極10を形成する。

【0027】

【外5】

れが生じた場合はGS領域S1は減少し、GD領域S2は増加する。逆にずれた場合は、GS領域S1は増加しGD領域S2は減少する。すなわちTFT3の寄生容量はそれぞれのパターンのずれにより変化する。また同様に、自己整合型TFTにおいても、図10(b)に示すように矢印方向にずれが生じた場合はGS領域S1は増加し、GD領域S2は減少する。

【0032】これらのパターンニングのずれの主な原因は露光時でのアライメントずれ、フォトリソ自身のゆがみ等に起因する。このような課題に対して特開平1-267617号公報に表されるように、TFT3の形状をコの字型にして、基板内あるいは基板間の寄生容量のばらつきを抑える構造が提案されている。

【0033】

【発明が解決しようとする課題】しかしながら、このような構成のTFTにおいて、前記の寄生容量のばらつきが同一基板内で発生した場合に、例えばステッパーにより表示画素を分割して露光する場合など図11に示すように、この露光境界線が認識され表示品位を落とす。また基板間で寄生容量がばらつく場合では、回路常数を一定とすることができず表示品質がばらつき、画質低下の一因となる。

【0034】また、これらのパターンずれの主な原因は露光時でのアライメントずれ、フォトリソ自身のゆがみ等に起因する。この課題に対して、TFTの形状を

コの字型にする構造が提案されているが、このような構造をとった場合、1画素内でのTFTの占める面積が大きくなり開口率の低下を招くという問題があった。

【0035】本発明は、前記従来技術の問題を解決するものであり、TFTの寄生容量のばらつきをなくし表示品質を向上させ、液晶パネルの開口率が大きく取れるTFTを提供することを目的とする。

【0036】

【課題を解決するための手段】この目的を達成するために、本発明は、薄膜トランジスタのチャンネル領域下部に走査電極を形成するようにパターンニングされたゲート電極と、液晶を駆動するため透明導電膜より成る画素電極に画像信号を伝達するソース電極(あるいはドレイン電極)と、前記画素電極と接続されたドレイン電極(あるいはソース電極)とを有する薄膜トランジスタにおいて、前記薄膜トランジスタのチャンネル保護膜は前記ゲート電極上のみ形成され、前記ソース電極およびドレイン電極が前記チャンネル保護膜を形成している領域の対向する2辺のみとクロスオーバーして他の辺上には重なっておらず、かつ前記ソース電極およびドレイン電極は共に前記ゲート電極とも十字型にクロスオーバーとなる構造を有することを特徴とする。

【0037】また、薄膜トランジスタのチャンネル領域下部に走査電極を形成するようにパターンニングされたゲート電極と、液晶を駆動するため透明導電膜より成る画素電極に画像信号を伝達する前記ソース電極(あるいはドレイン電極)と、前記画素電極と接続されたドレイン電極(あるいはソース電極)とを有し、前記チャンネル領域を形成する半導体層が絶縁性基板の裏面からの露光により前記ゲート電極上に自己整合的に形成される薄膜トランジスタにおいて、前記ソース電極およびドレイン電極がともに前記チャンネル領域上で十字型にクロスオーバーとなる構造を有するように構成したものである。

【0038】

【作用】前記構成によれば、TFTのゲート電極における部分と、ソース電極およびドレイン電極とがすべて十字型となるクロスオーバーの構造を採用することによって、マスクのアラインメントずれに起因する寄生容量のばらつきがなくなる。

【0039】

【実施例】以下、図面を参照して本発明の一実施例を詳細に説明する。

【0040】図1は本実施例1のチャンネル保護型のTFTの平面構造図を示す。また、従来例の各図にて説明した同一作用効果のものには同一符号を付し、その詳細な説明は省略する。

【0041】本実施例1はTFT3のチャンネル上に保護膜を残したチャンネル保護型のTFT3の場合の例である。図1において、C1、C2はソース電極9と図5(k)に示した半導体層12のコンタクト部、C3、C4は

ドレイン電極10と半導体層12のコンタクト部、C5はチャンネル保護膜13'とソース電極9、ドレイン電極10とのコンタクト部である。図2は寄生容量を含めたTFT3の等価回路を示している。

【0042】液晶パネルの作成プロセスは従来のプロセスと同一で、TFT3のチャンネル保護膜13'はゲート電極8上のみ形成され、前記ソース電極9およびドレイン電極10がチャンネル保護膜13'の形成している領域の対向する2辺のみとクロスオーバーし、他の辺上には重なっておらず、かつソース電極9およびドレイン電極10と共にゲート電極8と十字型にクロスオーバーしている。

【0043】前記の構成により、TFT3部分に発生する寄生容量の値はマスクのアラインメント精度によらず一定とすることができる。この理由について説明すると、図1(a)において図2に示すゲート-ソース間の寄生容量Cgsは斜線部のGS領域S1で示した領域である。同様にゲート-ドレイン間の寄生容量Cgdは斜線部のGD領域S2で示した領域となる。

【0044】この構造を採用することによりアクティブマトリクス基板作製時において、図1(b)、(d)に示すように矢印方向にマスクのアラインメントずれが生じた場合でもC1~C5の領域は変わらず、ゲート-ソース間の寄生容量Cgsおよびゲート-ドレイン間の寄生容量Cgdは常に斜線部のGS領域S1、GD領域S2となり、ずれの方向および量に関わらず常に一定値となる。

【0045】このことから、アクティブマトリクス基板作製時において、フォトリソあるいはステッパー等の精度に起因するような露光ショット領域の境界におけるつなぎ合わせ部分のラインは消失し、表示品位の高い液晶パネルを実現することができる。

【0046】次に、実施例2について図面を用いて説明する。実施例2は液晶パネルの作製プロセスの中で、半導体層12のパターンを絶縁性基板の裏面からの露光によりゲート電極8の形状と同一形状に作製する自己整合型のTFT3の場合である。図3は実施例2の自己整合型のTFT3の平面構造図を示す。

【0047】ここで、従来例との違いはTFTアレイの基板設計のパターンとして、図3(a)に示すようにチャンネル領域13"上でのゲート電極8とソース電極9およびゲート電極8とドレイン電極10が共に十字型にクロスオーバーする構造を持つように設計したものである。この場合のゲート-ソース間の寄生容量Cgsは斜線部で示したGS領域S1である。同様にゲート-ドレイン間の寄生容量Cgdは斜線部で示したGD領域S2となる。

【0048】したがって、図3(b)に示すように矢印方向にマスクのアラインメントずれが生じた場合でも、ゲート-ソース間の寄生容量Cgsおよびゲート-ドレイン間の寄生容量Cgdは常に斜線部のGS領域S1、GD領域S2となり、いずれの方向および量に関わらず、常に

一定値となる。これにより実施例 1 と同様に、露光ショット領域の境界におけるつなぎ合わせ部分のラインは消失し、表示品位の高い液晶パネルを実現することができる。

【0049】

【発明の効果】以上説明したように、本発明によれば、チャンネル保護膜をゲート電極上に形成したチャンネル保護型 TFT の場合、ソース電極およびドレイン電極がチャンネル保護膜の形成している領域の対向する 2 辺のみとクロスオーバーし他の辺上には重なっておらず、かつソース電極およびドレイン電極ともゲート電極と十字型にクロスオーバーしている。以上の構成により、前記の TFT 部に発生する寄生容量の値はマスクのアラインメント精度によらず一定とすることができる。

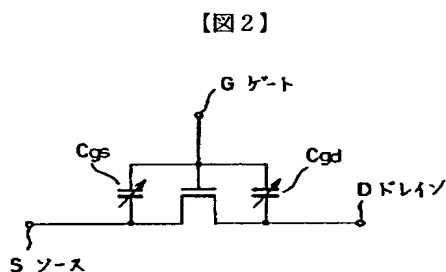
【0050】また、自己整合型 TFT の場合も、ゲート電極とソース電極およびゲート電極とドレイン電極が共にチャンネル領域上で十字型にクロスオーバーの構造とすれば、寄生容量の値はマスクのアラインメントずれが生じた場合でも、ずれの方向および量に関わらず、常に一定値となる。

【0051】以上のことから、本発明の TFT を用いて寄生容量のばらつきをなくし、表示品質を向上した開口率を大きくとれる液晶パネルができるという効果を奏する。

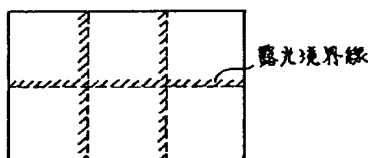
【図面の簡単な説明】

【図 1】本発明の実施例 1 におけるチャンネル保護型薄膜トランジスタの平面図である。

【図 2】寄生容量を含めた薄膜トランジスタの等価回路



【図 1 1】



を示す図である。

【図 3】本発明の実施例 2 における自己整合型薄膜トランジスタの平面図である。

【図 4】従来のアクティブマトリクス型液晶表示装置の液晶パネル部を模式的に示した透視図である。

【図 5】従来の液晶パネルのチャンネル保護型薄膜トランジスタアレイの作製プロセスを示す断面図である。

【図 6】従来の液晶パネルのチャンネル保護型薄膜トランジスタアレイの作製プロセスを示す平面図である。

10 【図 7】従来の自己整合型薄膜トランジスタアレイの作製プロセスを示す断面図である。

【図 8】従来の自己整合型薄膜トランジスタアレイの作製プロセスを示す平面図である。

【図 9】従来のチャンネル保護型薄膜トランジスタの平面図である。

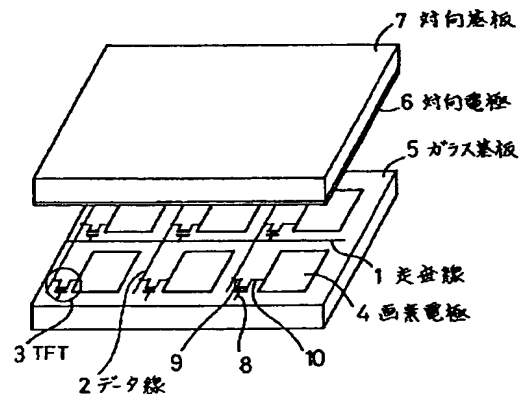
【図 10】従来の自己整合型薄膜トランジスタの平面図である。

【図 11】基板内で寄生容量がばらついた場合に発生する露光境界での境界線を示す図である。

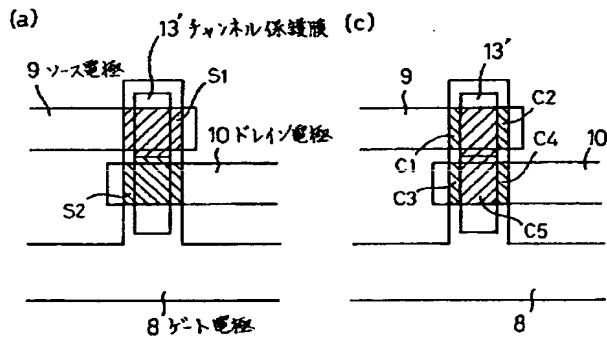
20 【符号の説明】

1…走査線、 2…データ線、 3…TFT (薄膜トランジスタ)、 4…画素電極、 4'…ITO 膜層、 5…ガラス基板、 6…対向電極、 7…対向基板、 8…ゲート電極、 8'…Cr 層、 9…ソース電極、 10…ドレイン電極、 11…絶縁層、 12…半導体層、 13…チャンネル保護層、 13'…チャンネル保護膜、 13''…チャンネル領域、 14…オーミック層、 15…穴、 16…Al 層。

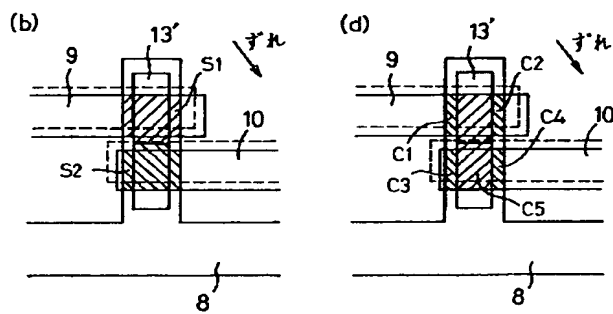
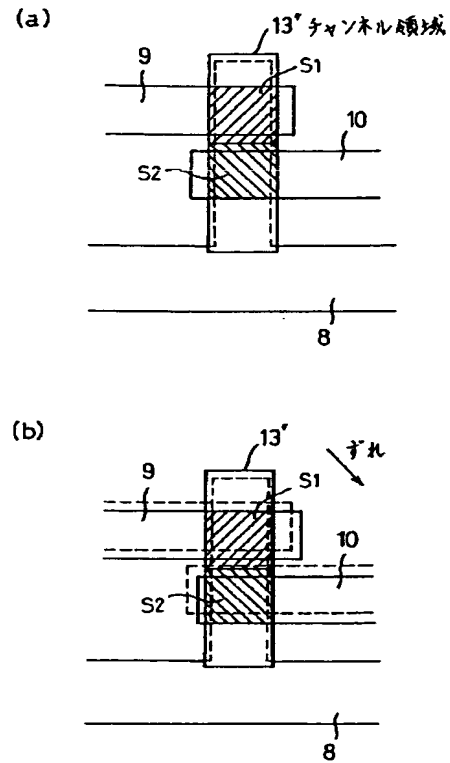
【図 4】



【図 1】

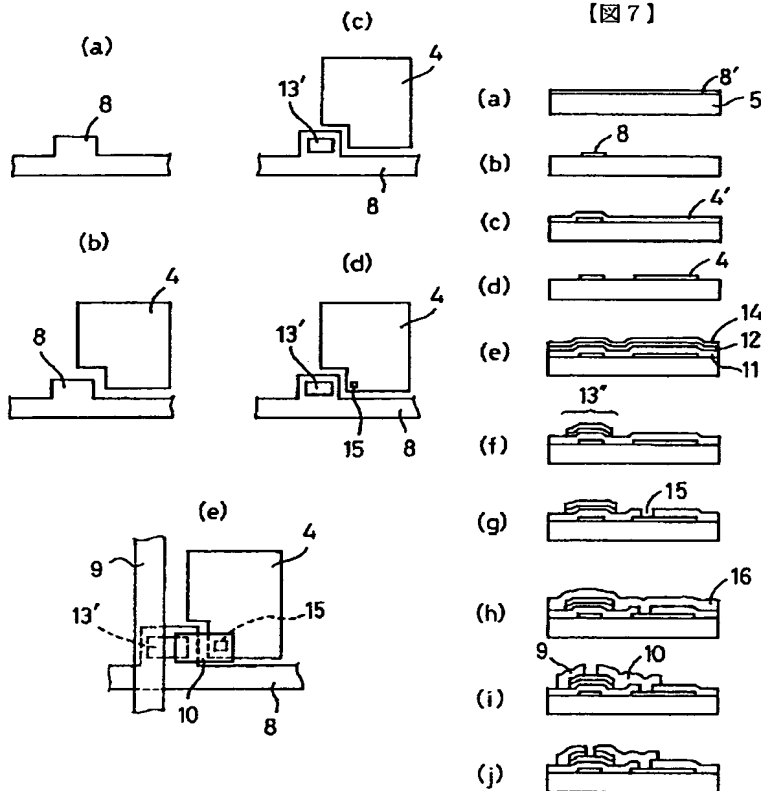


【図 3】

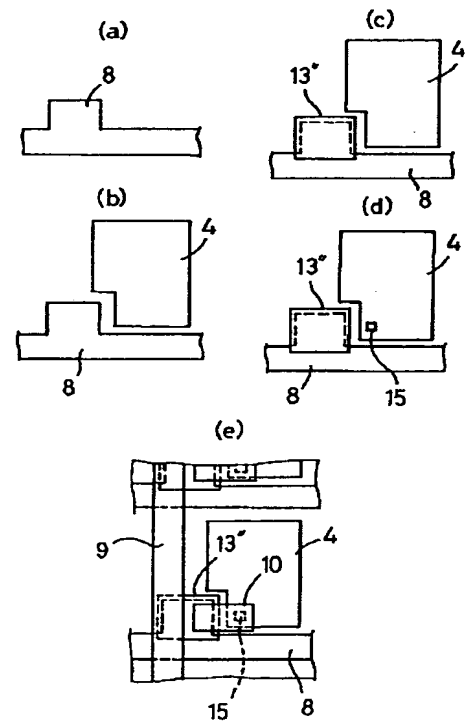


【図 6】

【図 7】

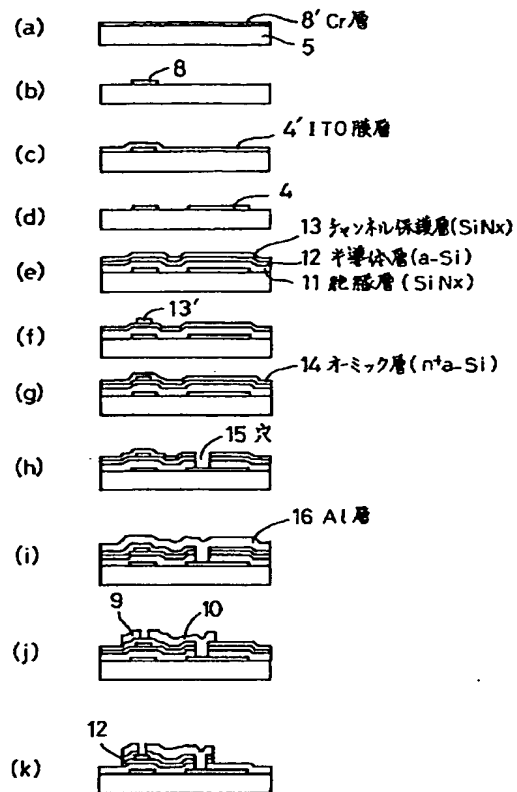


【図 8】

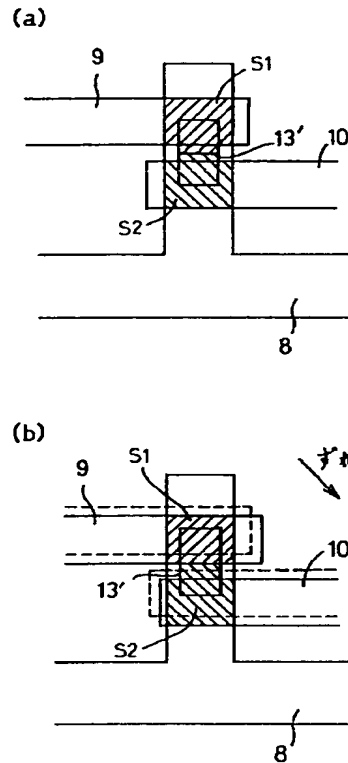




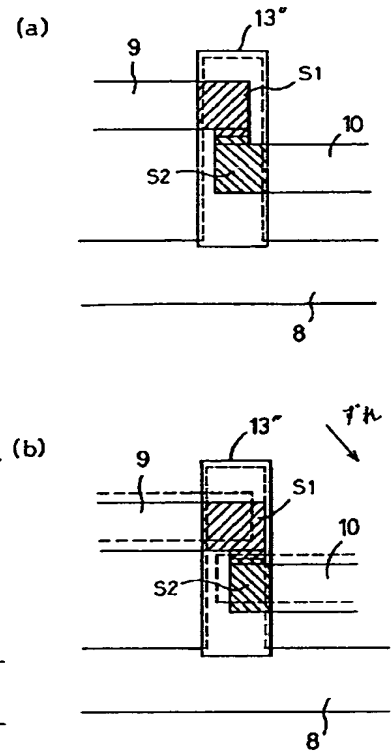
【図 5】



【図 9】



【図 10】



フロントページの続き

(72)発明者 木村 睦  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 田窪 米治  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内